

文章编号:1673-9981(2008)03-0207-04

晶界层介电陶瓷及其单层电容器*

杨俊锋,冯毅龙,赵海飞,程超

(广州翔宇微电子有限公司,广东 广州 510288)

摘要:研究了施主掺杂还原气氛烧结的 SrTiO_3 基半导体瓷的组成与性能的关系.通过等效电路分析, XRD, SEM 显微结构观察,探讨了晶界效应及其特性对瓷料性能作用的机理,制成了介电系数可调(10000~50000),电容量变化率低($\pm 4.7\% \sim \pm 22\%$),使用温域宽($-55 \sim +125^\circ\text{C}$)的单层片式晶界层电容器.

关键词: SrTiO_3 ;晶界层;单层电容器

中图分类号: TN304

文献标识码: A

20世纪60年代末 Waku 发明了 BaTiO_3 基晶界层电容器(Boundary-layer Capacitor,简称 BLC).70年代初, Yamaji 等人发明了 SrTiO_3 基 BLC,其电性能得到普遍认可.随后的20多年来,对 SrTiO_3 基 BLC 瓷料的制备工艺以及微观理论的研究均取得了较大的进展.

近年来,随着现代电子技术的迅速发展,对高介电稳定的电容器瓷料的需求越来越大.本文通过对 BLC 瓷料的组分、结构和制备工艺的研究,制成了介电系数可调(10000~50000),电容量变化率低($\pm 4.7\% \sim \pm 22\%$),使用温域宽($-55 \sim +125^\circ\text{C}$)的单层片式晶界层电容器,可应用于1 GHz以上乃至40 GHz的微波电路.

所研发的单层晶界层电容器是以 SrTiO_3 系陶瓷为原料,在还原气氛中将其烧结制成半导体瓷,再经氧化热处理、溅射和电镀电极、光刻腐蚀、高精度切割等工艺,可获得通用型、表面贴装型、多电极型和阵列型等多种规格的产品.产品尺寸从 $0.254 \text{ mm} \times 0.254 \text{ mm} \times 0.127 \text{ mm}$ 到 $2.29 \text{ mm} \times 2.29 \text{ mm} \times 0.254 \text{ mm}$ 系列化,电容量 $3 \sim 20000 \text{ pF}$,产品性能达到了中华人民共和国国家军用标准的要求,

并参照国军标和美军标进行了环境及可靠性检查.目前,该产品已批量生产并投放市场.

1 生产工艺与检测方法

以 SrTiO_3 为基,添加施主杂质和受主杂质配成晶界层电容器瓷料,用流延或轧膜成型制备膜片,在 $\text{N}_2 + \text{H}_2$ 还原气氛中烧结成半导体瓷片.瓷体电阻率用四探针测试仪测量.经氧化热处理后,半导体瓷片成为具有高介电系数的晶界层电容器瓷片.先在瓷片上溅射 TiW, Ni 和 Au 电极,再电镀加厚 Au 电极,然后光刻成形,最后切割成各种规格的表面贴装型电容器.

用 HP4278A 型电容测量仪测量电容量和介质损耗,用 4210A Test Chamber 型电容温度系数测量仪测电容温度系数,用 HP4339A 型高阻测试仪测绝缘电阻,用 34A 型谐振管测量系统测等效串联电阻,用 HP8722C 矢量网络分析仪分析介质的微波特性,用 JELJSM 型扫描电镜观察半导体瓷的断面形貌,用 Rigaku D/MAX-B 型全自动 X 射线衍射仪进行物相分析.

收稿日期:2008-07-07

* 基金项目:科技部科技型中小企业创新基金(06C26214401624)

作者简介:杨俊锋(1977-),男,湖北崇阳人,硕士.

2 半导体瓷片的组分、结构和制备工艺对晶界层电容器性能的影响

2.1 瓷片的组分

半导体瓷片的晶粒具有尽可能低的电阻率,是保证 SrTiO₃ 基晶界层电容器具有高介电系数和低介质损耗的重要条件之一。SrTiO₃ 半导体是以施主掺杂加还原气氛(N₂ + H₂)烧结的方式制得。在以 SrTiO₃ 为基的主料中,用 La³⁺, Y³⁺, Yb³⁺, Sm³⁺ 中的一种或几种作 A 位取代,或/和 Nb⁵⁺, Ta⁵⁺ 中的一种作 B 位取代的方式进行施主掺杂,生成 La_{3x}⁺ 或/和 Ni_{3x}⁺ 施主,一方面提供了导电电子,另一方面施主掺杂使晶格发生畸变,有助于氧脱离晶格点,在还原气氛的作用下,氧较易于扩散迁离开晶格,导致一、二价电离氧空位 V_O[•]; V_O^{••} 缺陷的生成,这也提供了导电电子,使参与导电的电子数量大大增加。由于 SrTiO₃ 中的 Ti 为易变价元素,上述的导电电子易于被邻近的 Ti⁴⁺ 俘获,使 Ti⁴⁺ 变为 Ti³⁺ (相当于 Ti⁴⁺ + e⁻),此弱束缚电子以跳跃(hopping)方式参与导电,从而具有较高的电子迁移率,这样就得到了良好的 n 型半导体晶粒^[1-4]。试验结果表明,施主掺杂物的添加量与电阻率成 U 形曲线关系,通过优选施主掺杂量,用四探针法测得半导体瓷片的电阻率可低至 0.2~0.5 Ω·cm。

已半导体化瓷片的 X 射线衍射分析谱线图如图 1 所示。未掺杂的 SrTiO₃ 晶体为立方结构,而瓷片也为立方结构,只是晶格参数略有变化,这是由于施主杂质进入晶格所造成的。

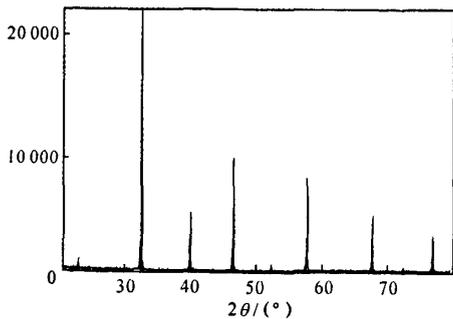


图 1 SrTiO₃ 基半导体瓷的 XRD 谱线
Fig. 1 XRD patterns of SrTiO₃-based semiconductor ceramic

2.2 晶界层结构

瓷片的晶界层结构合适,可使 SrTiO₃ 晶界层电容器的介电系数高、介质损耗低和电容温度变化率小。在瓷料中添加的受主掺杂物和后续工艺中的涂覆物,经烧结和氧化热处理后可形成所需的晶界层。晶界层包括由涂覆物形成的第二相绝缘层,以及由氧扩散进入晶粒表层形成的扩散层。绝缘层和扩散层的厚度对视在静态介电系数和电容温度变化率的影响极大。晶界层越薄,介电系数越高,但绝缘层与扩散层的厚度比要合适,电容变化率才有可能低^[5-6]。一般是通过调整涂覆物的含量以及优化热处理工艺来控制绝缘层与扩散层的厚度比。因此,在选择瓷片的晶界层结构时,应综合考虑电容器的介电系数和电容温度系数。图 2 是两种瓷片的介电系数随温度变化的曲线。

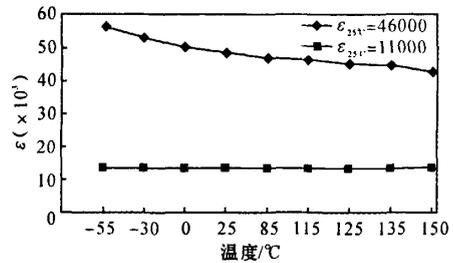


图 2 不同介电系数瓷片的温度特性
Fig. 2 Temperature properties of ceramics with different dielectric constants

2.3 晶界层的等效电路

通过不同晶粒与晶界层尺寸的组合,可调整晶界层电容器的视在静态介电系数 K_{eff}。图 3 为晶界层电容器的等效电路图,绝缘层、扩散层和晶粒的参数分别用下标 i, d 和 g 表示。

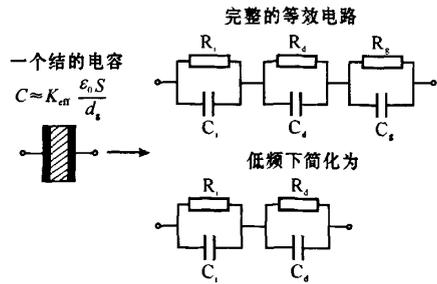


图 3 单层片式晶界层电容器的等效电路图
Fig. 3 The equivalent circuit diagram of single layer BLC capacitor

在角频率 $\omega \rightarrow 0$ 的低频情况下,由简化的等效电路,得到 K_{eff} 的计算式(1)^[7]:

$$K_{\text{eff}} \approx \frac{d_g}{d_d + d_i} \epsilon_g \quad (1)$$

式(1)中: $d_i + d_d$ 为晶界层的厚度; d_g 为晶粒的直径; ϵ_g 为 SrTiO₃ 晶粒的本征介电系数.由式(1)可见,晶界层电容器瓷片的晶粒直径增大或晶界层厚度减小,都可使 $d_g / (d_d + d_i)$ 增大,使电容器的视在介电系数增大.因此,通过调整瓷料的配方和制备工

艺,改变瓷片晶粒的大小和晶界层的厚度,就可得到不同的介电系数.图4为不同介电常数的试样的扫描电镜照片.由图4(a)可见,该样品的晶粒径约 40~60 μm ,对应的介电系数为 50000~60000.图4(b)样品的晶粒径约 5~20 μm ,对应的介电系数 8000~12000,与等效电路的分析结果相符.另外,在晶界层内的绝缘层与扩散层的厚度比也应合理,才能保证介电系数和电容温度变化率,都能满足要求.

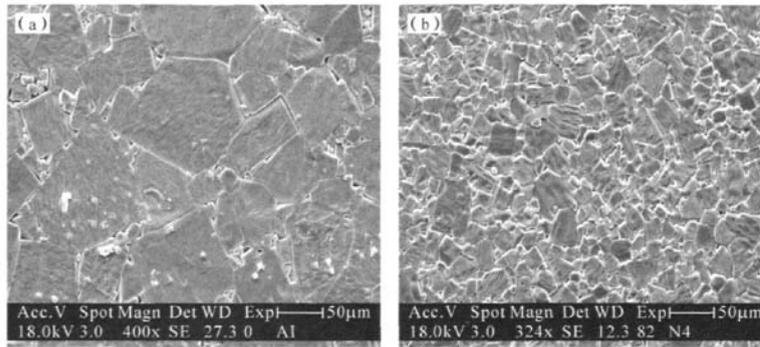


图4 视在介电系数 50000 和 10000 的瓷片扫描电镜照片
(a) $\epsilon_0 = 50000$; (b) $\epsilon_0 = 10000$

Fig.4 SEM micrographs of substrates with dielectric constants 50000 and 10000

2.4 ESR 特性

电容器的所有损耗的综合称为等效串联电阻(ESR),等效串联电阻一般由电容介质损耗(R_{sd})和金属损耗(R_{sm})构成.低频时介质损耗可用耗散系数 DF 来衡量,是低频时电容器损耗的主要成分.金属损耗取决于金属材料的导电性以及由趋肤效应引起的随频率变化的电极损耗.当频率高于 30 MHz 后,等效串联电阻主要是金属损耗,而且 ESR 随频率的上升而增大.在不考虑介质损耗的情况下,不同频率下的等效串联电阻近似满足式(2):

$$\frac{ESR_2}{ESR_1} = \sqrt{\frac{f_2}{f_1}} \quad (2)$$

式(2)中 ESR_1 和 ESR_2 分别是频率 f_1 和 f_2 下的等效串联电阻.损耗会引起电容发热,极端情况下会引起电容热击穿失效.采用在瓷片上溅射 Ti-W, Ni 和 Au 电极,并辅以电镀加厚 Au 电极,用光刻技术合理布置电极的结构,可使在 1 GHz 频率下的 ESR 降至 100 m Ω 以下,而且频率特性也得到改善.

图5是用 34A 型谐振管测量系统测得的容量为 1.5 nF,尺寸为 0.889 mm \times 0.889 mm \times 0.178 mm 的电容器的 ESR 频率特性.降低 ESR 可显著提高微波电路的有效增益,降低插入损耗,延长便携式装置的电池寿命.

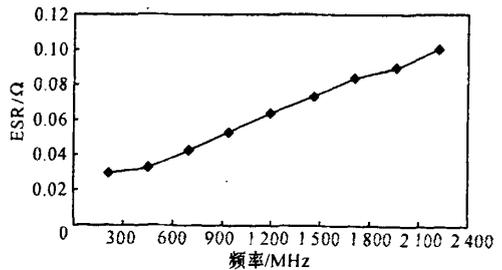


图5 晶界层电容器的 ESR 频率特性

Fig.5 The ESR-frequency properties of BLC capacitor

2.5 频率特性

晶界层电容器在微波频率下工作时应具有尽可能

能高的自谐振频率. 用 HP8722C 型矢量网络分析仪测量容量为 250 pF, 电容器尺寸 1.016 mm × 0.381 mm × 0.127 mm 的晶界层电容器的散射参数 S_{21} , 其频率响应曲线如图 6 所示. 在 S_{21} 的幅值响应出现下凹时的最低处所对应的频率就是元件的自谐振频率. 由图 6 可见, 所测样品的自谐振频率为 31.350 GHz, 这一性能指标令人满意.

一般来说, 电容量大的电容器, 尺寸相应也大, 谐振频率就低. 如果电容器在工作频带附近发生并联谐振的话会使微波能量衰减. 因此, 在确定电容器的电容量时还应考虑到它的自谐振频率必须高于最高工作频率. 与普通电容器相比, 电容量较大的单层片式晶界层电容器的自谐振频率较高, 这是由于它的视在介电系数高, 在较小的尺寸下就能获得较大的电容量, 使寄生串联电感和寄生并联电容等都大大减小.

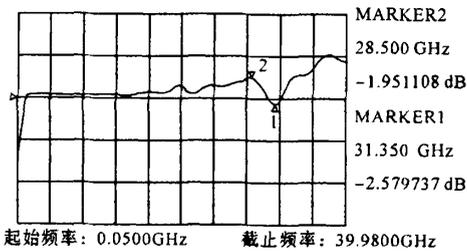


图 6 晶界层电容器的频率响应曲线

Fig. 6 The resonant curve of BLC capacitor

3 结论

(1) 所制备的 SrTiO_3 晶界层电容器用瓷片的介

电系数高、介质损耗低、电容温度变化率小, 可用于制作小体积、大容量, 对温度和频率稳定性要求较高的晶界层电容器.

(2) 用溅射、电镀、光刻、精密切割等微细加工手段, 可制得多种尺寸的容量大, 谐振频率高的单层晶界层电容器, 满足不同微波频段的应用要求.

(3) 在瓷片上溅射 Ti-W, Ni 和 Au 电极, 并辅以电镀加厚 Au 电极, 用光刻技术合理布置电极的结构, 有效地降低了等效串联电阻 ESR, 优化了频率特性.

参考文献:

- [1] 庄严, 朱卓雄. Sr/Ti 及 TiO_2 晶型对 SrTiO_3 晶界层结构瓷性能的影响[J]. 电子元件与材料, 2002, 21(1): 30-34.
- [2] 曹全喜, 周晓华, 蔡式东, 等. SrTiO_3 陶瓷中掺杂和 Ti/Sr 的配合[J]. 功能材料, 1995, 26(5): 439-441.
- [3] 徐庆, 陈文, 严家强, 等. SrTiO_3 等系功能陶瓷中一次烧成中的掺杂行为[J]. 硅酸盐学报, 1997, 16(2): 21-23.
- [4] 庄严. $\text{SrO-Nb}_2\text{O}_5\text{-TiO}_2$ 系压敏陶瓷中 Nb^{5+} 和 Sr^{2+} 的研究[J]. 无机材料学报, 2002, 17(6): 1174-1180.
- [5] CHUNG S Y, LEE B K, KANG S J L. Core-shell structure in Nb_2O_5 -doped SrTiO_3 by oxygen partial pressure change[J]. J Am Ceram Soc, 1998, 81(11): 3016-3018.
- [6] 陈志雄, 庄严. 氧扩散热处理 SrTiO_3 压敏电阻器的非线性和界面势垒[J]. 电子元件与材料, 2004, 23(9): 11-13, 16.
- [7] 江涛. 半导体敏感材料与器件[M]. 广州: 华南理工大学出版社, 2002.

Grain boundary dielectric ceramics and the single layer chip capacitors

YANG Jun-feng, FENG Yi-long, ZHAO Hai-fei, CHENG Chao
(Guangzhou Summit Microelectronic Co. Ltd, Guangzhou 510288, China)

Abstract: The relationship between the composition and properties of donor doping SrTiO_3 semiconductor ceramic that sintered in the reducing atmosphere was studied. By means of equivalent circuit analysis and XRD, SEM observation, the influence of grain boundary effect and characteristics on ceramic performance was investigated. Obtained grain boundary single layer chip capacitors exhibited high performance: adjustable dielectric constant (10000~50000), low capacitance temperature change ($\pm 4.7\% \sim \pm 22\%$) and broad working temperature range ($-55 \sim +125$ °C).

Key words: SrTiO_3 ; grain boundary layer; single layer capacitors