DOI:10.20038/j.cnki.mra.2023.000305



碳化硅功率器件技术发展综述

吴炜杰,张宇阳,王朝阳,黄湛为,张帮敏* (中山大学,广东广州 510651)

摘要:第三代半导体SiC因禁带宽、热导率高等优异性能得到广泛关注,SiC功率器件也成为学术界和工业 界的研究热点。从SiC材料性质出发,归纳分析了SiC薄膜与SiC功率器件制备工艺,回顾了SiC MOSFET和IGBT器件的发展,讨论了SiC MOSFET和IGBT器件的结构设计优化和性能评估,最后指 出SiC器件面临的挑战及发展趋势。 关键词:SiC薄膜;功率器件;制备工艺;MOSFET;IGBT 中图分类号:TN304.2 文献标志码:A 文章编号:1673-9981(2023)03-0427-13

引文格式:吴炜杰,张宇阳,王朝阳,等.碳化硅功率器件技术发展综述[J].材料研究与应用,2023,17(3):427-439.

WU Weijie, ZHANG Yuyang, WANG Zhaoyang, et al. A Review of Silicon Carbide Power Device Technology Development [J]. Materials Research and Application, 2023, 17(3):427-439.

自从半导体工业出现以来,半导体的规模、速 度、效率以指数级的形式增长,主要集中于硅基器件 的发展。以硅基为基础的功率器件,在电力输运及 工程科技方面起着至关重要的作用。随着技术的发 展、能源问题日益严重,提高能源利用效率是当前的 紧迫需求。电子电力技术是当今工业的基石,功率 器件作为电力产业核心组成部分提升效率的需求更 为迫切,其中硅基材料的电子器件性能已接近极限。 开发更高效率的器件材料成为急需解决的问题,同 时在极端条件下(如高频、高压和高功率密度等),仅 能承受 600 V 以下电压的硅基器件显得力不从心。 因此,2000年以来,碳化硅(SiC)、氮化镓(GaN)和 氧化镓(Ga₂O₃)等宽带隙半导体材料越来越受到研 究者们的青睐,尤其是碳化硅所具有的高临界电场 强度、高热导率、极好的热稳定性等物理性质,使其 成为极端条件功率器件的优秀候选者,而且使用碳 化硅为材料的功率器件也能实现功率及功率密度的 飞跃。

1 SiC材料性质与掺杂调控

1.1 SiC 材料的性质

第三代半导体材料碳化硅(SiC)具有低密度 (3.1 g·cm⁻³)、高硬度(2 800 kg·mm⁻²)、高热导率 (120 W·m⁻¹·K⁻¹)、低热膨胀系数($4.0 \times 10^{-6} \ C^{-1}$)、 宽禁带(2.4— $3.4 \ eV$)、抗氧化、耐腐蚀、抗辐照和物 理化学稳定性好等诸多优异特性^[1-2]。图1为SiC与 Si材料性能对比^[3]。从图1可见,SiC有着3倍于Si的 禁带宽度,10倍于Si的临界击穿电场及3倍热导率, 其可以提高器件长时间运行能力,能够实现更高电压 (10—100倍)、更大功率、更高频(10—100倍)、更高 效率(节损耗降低50%以上)的器件性能^[4]。因此,碳 化硅基为代表的宽禁带器件具有巨大的应用潜力。





收稿日期:2023-04-25

作者简介:吴炜杰,博士,研究方向为宽禁带半导体器件制备与仿真研究,E-mail: wuwj69@mail2. sysu. edu. cn。

通信作者:张帮敏,博士,副教授,研究方向为宽禁带半导体材料的性质与高功率器件设计、强关联磁电功能氧化物的界面 耦合、拓扑畴结构调控等,E-mail: 996207455@qq.com。

SiC 是一种典型的二元化合物半导体材料,其 晶体结构的基本单元为一个四重对称性的四面体, 即 SiC₄或 CSi₄,相邻的两个 Si 原子或两个 C 原子之 间的距离是 3.08 Å,而相邻的 C 原子和 Si 原子之间 的仅约 1.89 Å。目前,已知 SiC 具有 250 种晶体构 型,其中3C、4H和6H是3种常见的SiC晶型,结构 如图2所示。1994年发现的4H-SiC多型具有远优 于3C-SiC和6H-SiC的高电子迁移率和极宽带隙, 其被广泛应用于电力电子、能源电池等领域中。表 1为主要半导体材料物性数据^[5]。



Figure 2 Comparison of 2H, 4H, 6H, 15R, and 3C crystal forms of SiC

| Table 1 | Physical Prop | erty Data of Main | Semiconductor N | laterials | |
|--|----------------------|--------------------|--------------------|------------------------------|------------------------------|
| 材料 | Si | GaAs | 3C-SiC | 6H-SiC | 4H-SiC |
| 热稳定性 | 好 | 一般 | 极好 | 极好 | 极好 |
| 禁带宽度/eV | 1.12 | 1.43 | 2.23 | 3.02 | 3.26 |
| 相对介电常数 | 11.9 | 12.5 | 10 | 9.7 | 9.7 |
| 热导率/(W·K ⁻¹ ·cm ⁻¹) | 1.5 | 0.54 | 4.9 | 4.9 | 4.9 |
| 临界电场/($\times 10^6 \mathrm{V}\cdot\mathrm{cm}^{-1}$) | 0.3 | 0.6 | 2.0 | 3.2 | 3.0 |
| 电子饱和漂移速度/(cm·s ⁻¹) | 1×10^{7} | 2×10^{7} | 2×10^{7} | 2.5 \times 10 ⁷ | 2.5 \times 10 ⁷ |
| 少子寿命/s | 2.5 $\times 10^{-3}$ | 1×10^{-8} | 5×10^{-9} | 5×10^{-9} | 5×10^{-9} |
| 电子迁移率/(cm ² ·V ⁻¹ ·s ⁻¹) | 1 400 | 8 500 | 1 000 | 600 | 1 020 |
| 空穴迁移率/(cm ² ·V ⁻¹ ·s ⁻¹) | 600 | 400 | 40 | 40 | 115 |
| 熔点/K | 1 690 | 1 510 | >2 100 | >2 100 | >2 100 |
| 最高工作温度/K | 600 | 7 600 | 1 250 | 1 580 | 1 580 |

表1 主要半导体材料物性数据^[5] able 1 Physical Property Data of Main Semiconductor Materials

1.2 SiC材料的掺杂调控

通过掺杂改变 SiC 材料的能级结构,并进一步 调控其性能,主要使用离子注入手段进行 Al、B、N 等原子的掺杂。其中:Al等受主原子更容易取代 SiC 晶格中的 Si 的位置而形成深受主能级,从而得 到 P型半导体;而 N和 P等施主原子更容易占据 C 的晶格位置而形成浅施主能级^[6],从而得到 N型半 导体。值得注意的是,SiC具有其他宽带隙半导体 没有的宽掺杂范围(1×10¹⁴—1×10¹⁹ cm⁻³)^[2],其能 在该范围内轻松实现 N型和 P型掺杂,如使用 Al掺 杂后 4H-SiC 单晶的电阻率低至 5 Ω·cm。根据掺杂 浓度和元素种类不同,SiC电阻率可以在 1×10^{-4} — $1 \times 10^{11} \Omega \cdot cm 之间变化^{[1]}$ 。

2 SiC 薄膜制备及功率器件制备的工艺

SiC薄膜具有优异的机械、热学和电学性能,适用于高功率电子器件、光电转换器件、透明导电薄膜、生物医学器械、传感器等领域中。SiC薄膜的生长,对微电子、光电子、传感器等领域的发展具有重要的意义。因此,需不断改进SiC薄膜的生长技术,得到更高质量的SiC薄膜。目前,制备SiC薄膜的方法有多种,如液相外延、物理气相沉积、离子束沉积、分子束外延和化学气相沉积,其中化学气相沉积

是SiC外延生长中最常用的方法。SiC生长机理,是 以高纯氢气或者氩气作为载体气体,将Si源气体和 C源气体带入淀积室中进行化学反应,将生成的SiC 分子沉积在衬底上并生长出晶体取向与衬底相同的 SiC单晶外延层。

2.1 SiC 薄膜制备工艺

目前,SiC薄膜制备主要通过热壁CVD进行^[7], 主要生产厂商包括 Applied Materials、Quantum Design、Oxford Instruments及国内的厦门十一维、 合肥科晶等厂家,具体包括以下几种方法。大气压 化学气相沉积法 (Atmospheric pressure chemical vapor deposition, APCVD), 其是一种化学气相沉积 (Chemical vapor deposition, CVD)技术,通常在接近 大气压的条件下进行,一般在1-10个大气压的范 围内,先将蒸气相前驱体引入反应室,在加热的基片 上反应而形成薄膜。甲基三氯硅烷(MTS, CH₃SiCl₃)是SiC薄膜合成中最常用的单源前驱体, 这不仅因为其分子结构中硅(Si)和碳(C)的化学计 量比,而且还因为可获得良好质量的薄膜[8-9];常用 的双源前驱体,包括丙烷(C₃H₈)和二氯硅烷(DCS, SiH₂Cl₂)与三氯硅烷(HCl₃Si)的混合物^[10-11];高纯度 的氢气和氩气混合物,被用作载气气体^[8]。低压化 学气相沉积法(LPCVD),其是用于生长SiC薄膜最 常见的CVD系统,尽管LPCVD过程中SiC薄膜的 沉积速率比APCVD过程低得多,但由于真空系统 易于扩展和基板支架中温度分布更均匀,因此在 LPCVD系统中可以覆盖更大的表面区域,LPCVD 反应器也允许使用更多种类的前驱体以减少沉积薄 膜中杂质的含量,与APCVD的区别在于LPCVD 反应器必须承受高压梯度并在反应器排放点插入真 空系统^[12]。金属有机化学气相沉积法(MOCVD), 其是 CVD 的一种增强变体,其中使用了一种或多 种金属有机化合物作为前体材料,自 Manasevit 于 1969 年 首 次 进 行 的 工 作 以 来^[13], 这 种 基 于 CVD的技术一直在稳步发展,是常用于合成SiC 薄膜的CVD方法之一,因为其较高的沉积速率(约 为 40 nm • min⁻¹)^[14-15], 特别适用于厚 SiC 薄膜的 生长。

半导体的缺陷在晶体生长、制造,甚至在设备操 作过程中均会出现,特别是在SiC特别适合的恶劣 环境下。碳化硅晶体的生长在提高材料质量方面取 得了令人印象深刻的进展,大型宏观缺陷(如堆积缺 陷、微管等)几乎已经被消灭^[16],但SiC存在固有缺 陷(如空位(V_{si}和V_c)和反位(C_{si}和Si_c)),以及这些 缺陷的组合(如空位(V_{si}V_c)和碳反位-空位对 (C_{si}V_c))^[17]。目前,可制备的SiC外延晶片的厚度 均匀性保持在1%-3%左右,掺杂浓度在3%左右, 表面粗糙度可以控制在0.4 nm以内,表面缺陷密度 小于1 cm^{-2[18-21]}。

2.2 SiC 功率器件制备工艺

随着 SiC 功率器件制备工艺的不断优化和发展,器件的性能得到不断提高,已经在电动汽车、太阳能逆变器、高速列车和电力变换器等领域中得到 广泛的应用。SiC 功率器件制备工艺的发展对于提 高功率器件的性能、降低能源损耗、提高系统效率和 减少对环境的污染具有重要意义。以沟槽 MOSFET 为例介绍 SiC 功率器件的制备流程。

在槽沟MOSFET的制造过程中,p-注入步骤和 槽沟形成步骤可以交替进行,即先进行p-注入再进 行槽沟结构制造^[22],或先进行槽沟制造再进行p-注 入^[23]。图3为先槽沟制造流程示意图^[24]。首先在 n+衬底上外延生长 n-漂移区,然后在使用Al注入 进行槽沟结构制造而形成 p-区,随后进行 p+注入 以形成屏蔽区,再进行 n+注入以定义源和漏区域; 在注入步骤后,将所得到的结构暴露在高温下进行 热氧化处理以形成栅氧层,再经退火处理后沉积栅 极电极、源金属和漏金属,最后该结构被涂覆一层聚 酰亚胺作为保护封装层。

为减少SiC基片和外延层中存在的缺陷,提高 器件的性能,采用各种离子注入和热氧化处理方 法^[25]。在MOSFET器件制备中,外延SiC薄膜通常 采用CVD,其中反应气氛的组成和流量对外延生长 的效果有着重要的影响。此外,温度也对生长速率 和晶体质量有着重要影响,一般在1500-1700℃ 之间进行生长。压力的控制可以影响反应气氛的流 动状态和反应速率,一般在10-100 Torr之间。外 延生长的时间是影响生长厚度和晶体质量的另一个 关键参数,一般外延生长的时间越长生长的厚度越 大,但晶体质量也可能会受到影响。离子注入设备 需要控制掺杂剂的剂量和注入深度,这些参数可以 通过调节注入能量、注入剂量和注入角度等参数进 行控制。对于掺杂得到的N型半导体,其掺杂浓度 大概在1×10¹⁴—1×10¹⁹ cm⁻³, Hall 迁移率在40— 100 cm²·V⁻¹·s^{-1 [26]}。对于P型半导体,由于其较高的 溶解度[27],掺杂浓度大概在1×10¹⁹ cm⁻³,其载流子 浓度为1×10¹⁷ cm⁻³左右^[28],其Hall迁移率在20-80 cm²·V⁻¹·s^{-1[29]}。高温退火设备需要控制温度、气 压和处理时间等参数,这些参数的选择取决于掺杂 剂的类型和浓度等因素。金属电极的制备,通常采 用金属蒸镀或物理气相沉积等技术^[30-33]。



Figure 3 Preparation process of SiC MOSFET

3 SiC MOSFET 器件的技术发展

MOSFET在功率转换应用中具有以下优点:门 控、非耗散控制、可实现高开关频率,并可能与现有 的IGBT门控驱动器设计兼容;内置二极管,不严格 要求使用外部组件来实现负载电流的自由流动;对 称的双向电流传导能力,能够实现先进的转换器架 构,且使用的设备数量更少;低截止漏极电流,具有 良好的温度稳定性;具有雪崩鲁棒性,可以设计无缓 冲转换器。

相比于传统的硅基材料,SiC具有其3倍的禁带 宽度及更高的熔点,更高的热导率使得SiC材料可 以在更高的温度下工作;SiC的临界击穿场强约是 Si的7倍,使得SiC可以在MOSFET器件中具有更 好的耐压性;SiC中有着更高的电子饱和迁移速率, 使得SiC的MOSFET器件具有更高的工作频率。 SiC的功率器件研究很早就开始了,但是由于衬底 质量的限制,直到2001年才开始逐渐商业化,目前 SiC 功率器件的主要生产厂商有Cree、Rohm、 Infineon、STMicroelectronics、GeneSiC和Microsemi 公司,国内生产厂商主要有泰科天润、三安光电、基 本半导体等公司,目前国内厂商受限于沟槽型SiC MOSFET专利壁垒较高、生产制造水平仍有差距, 研究重点着眼于平面型SiC MOSFET。

3.1 平面型 SiC MOSFET 的发展

由于槽栅型 MOSFET 制备工艺复杂,涉及深 阱刻槽等工艺,沟道表面粗糙度很难控制,使得沟道 迁移率不高,其次槽栅拐角处会发生电荷集中,如果 屏蔽层效果较差可能导致提前击穿。此外,由于 Rohm和Infineon在槽栅型MOSEFT专利方面占据 绝对优势,导致大部分厂商无法绕开关键专利。因 此,相比槽栅型SiC MOSFET,平面型SiC MOSFET在市场上的应用更为广泛,相关研究也 更多。

图 4 为 MOSFET 结构图。Jayarama 团队^[34]提 出并制备了世界上第一个平面型 SiC MOSFET(见 图 4(a)),但是由于界面处质量较差,器件迁移率只 有 20 cm²·Vs⁻¹、阻断电压为 760 V、比导通电阻为 125 mΩ·cm²。Harada 等^[35]提出了双外延埋沟型 SiC MOSFET(见图 4(b)),并且通过外延层的离 子注入来减少晶格损伤,在15 V栅压时得到了 8.5 mΩ·cm²的导通电阻、阻断电压为 600 V。 Harada 等^[36]对双外延埋沟型 SiC MOSFET 器件进 行改进,提出制备注入外延型 MOSFET 时不需要 进行杂质补偿,结果将器件的阻断电压提高到 1 100 V,并将导通电阻降低到 4.3 mΩ·cm²。

SiC 工艺的发展使得 MOSFET 器件中反型层的迁移率越来越高^[37-38],也逐渐降低成本使其便于商业化。Rohm 和 Cree 公司成功实现了 SiC 基 MOSFET的首次商业化生产,自此也开始了工艺的不断优化和产品的多次迭代,随着 MOSFET 器件的不断发展,1 200 V 阻断电压和导通电阻 2.7 mΩ·cm²的 SiC 基 MOSFET 器件已经商用。图 5 为商业化



(a)—first generation planar MOSFET structure; (b)—double channel MOSFET structure.

图 4 MOSFET 结构图^[34-35] Figure 4 MOSFET structure

MOSFET结构图。Agarwal等^[39]成功在商业化的 工厂中制备了将栅氧化层降低至27 nm的 MOSFET器件(见图5(a)),在栅压为15 V时得到 的导通电阻为6.7 mΩ·cm²,并且得到与厚度55 nm 的栅氧化层一样的高耐压能力,最高可承受2.3 kV 的电压。电子科技大学的刘佳月等^[40]根据阈值电 压、正向导通特性、反向阻断特性和栅氧化层的电场 强度确定最佳注入条件,最终得到了比导通电阻为 8.7 m Ω ·cm²、反向击穿电压为1990 V的器件结构 (见图5(b)),其开启时间为200 ns、关断时间为 100 ns、雪崩电压为2350 V,并且完成了1700 V的 SiC MOSFET的流片和测试。



(a)—Agarwal等设计的 MOSFET 结构;(b)—刘佳月等设计的 MOSFET 结构。
(a)—MOSFET structure designed by Agarwal et al; (b)—MOSFET structure designed by Liu Jiayue et al.



3.2 槽栅型 SiC MOSFET 的发展

相比平面型 MOSFET, 槽栅型结构能够消除 JFET 区电阻, 同时沟道由横向变为纵向, 具有更低的导通电阻。SiC 功率器件的研究从上世界 80年代就开始了^[41], 但是直到 1993年世界上第一个槽栅型纵向 MOSFET 才由 Palmour 等^[42]提出并制备。图 6 为槽栅型 MOSFET 结构图。由于 SiC 的介电常数为 SiO₂的 3倍, SiO₂中也会有 3倍于 SiC 中的电 场,因此栅氧化层会面临先击穿的危险,降低了 MOSFET的阻断电压。Cooper等^[43-45]提出,通过栅 极底部加一层p+屏蔽层来起到对栅氧化层的保护 作用,这可以大大地提高 MOSFET 器件的阻断电 压,明显改善栅氧化层相比 MOSFET 器件提前击 穿的问题,将器件的耐压提升到了5 kV、特征导通 电阻为105 mΩ·cm²,之后的工作也大都借鉴了这种 方法。



(a)一第一代槽栅型MOSFET结构;(b)一增加p+屏蔽层后的结构。

(a)—first generation slot gate MOSFET structure; (b)—structure after adding p+ shielding layer.



在 2011年半导体器件 IEDM 会议上报道了一 款双沟道 MOSFET 结构(见图 7(a)),同时对栅区、 源区刻蚀,并且在源区槽底通过离子注入形成 p+ 源区,使得阻断时的漂移区电场大部分转移到 p+源区,从而达到对栅氧化层保护的目的,在源 漏电流为 100 μA 时阻断电压达到了 1 260 V,测试 源漏电压为 600 V 的栅氧化层的电场可以低至 1.65 MV·cm^{-1[46]}。Uchida 等^[47]提出了V形槽栅结 构的 MOSFET(见图 7(b)),通过电化学刻蚀形成 V形槽,并在漂移区埋P层以屏蔽栅氧化层电场,该 结构具有更小的界面态密度,从而获得了更高的沟 道迁移率,同时埋p层的屏蔽作用为氧化层带来了 更好的可靠性,其制备的器件具有1640 V的击穿 电压($I_{\rm D}$ =1 mA)、导通电阻仅为3.1 mΩ·cm²。



(a)—双沟道 MOSFET 结构;(b)—V 槽栅 MOSFET 结构。
(a)—double channel MOSFET structure; (b)—V-trench gate MOSFET structure.

图 7 双沟道和 V 槽栅 MOSFET 结构



3.3 栅氧层和界面质量优化

SiC 的 MOSFET 器件由南卡大学的 J. W. Palmour 团队在 1993 年首次报道^[42],该器件是一款 SiC 纵向结构的 MOSFET,其源漏区通过外延制 成,沟道也不会受到离子注入和高温退火的影响而 产生退化。然而,初代 MOSFET 器件性能较差,初 代纵向 MOSFET 的比导通电阻仅为 33 mΩ·cm²、击 穿电压也仅为 330 V,以及栅氧化层的击穿电压甚 至低于 100 V,这是由于 SiC 材料生长和制备工艺的 不完善,栅氧层生长工艺不成熟而导致SiC/SiO₂界 面特性差^[48-49],以及没有找到合适的金属电极和镀 电极的工艺较差等。SiO₂/SiC材料的界面质量差 会造成氧化物中电荷堆积和高界面态陷阱密度,这 严重限制了MOSFET中沟道的迁移率。氮化是提 高迁移率的一种有效方法,是指在含N的气体中生 长栅氧化层,N促进了Si-N键的生成而起到钝化 界面缺陷的作用,在界面上使用NO退火可有效降 低表面陷阱密度^[37,50],从而增加沟道的迁移率。栅 极氧化物的掺杂是氮化的一种替代方法,通过引入 不同的离子掺杂(如P、B等)^[51-53],也可以起到钝化 SiO₂/SiC界面并提高迁移率的作用。

除了 SiC/SiO₂ 界面质量差之外,用于功率 MOSFET的SiO₂的介电常数(k)低,由于SiO₂的k值大约比SiC的k值低2.5倍,与半导体层相比在介 电介质中获得了更大的电场,这就是为什么要寻找 k值等于或大于SiC的新型介电材料的原因。高 k 值的栅极电介质材料可显著降低给定栅极电介质厚 度下的电场值,因此总栅极电流密度也降低。由于 与SiC晶体具有优异的晶格匹配性,同时具有良好 的热稳定性和较大的介电常数和带隙,SiC MOSFET 中常用的高 k 值介电介质为 Al₂O₃^[54]。然 而,由于带隙的减小栅极泄漏电流将会增加,事实上 不仅需考虑带隙值,还必须考虑栅介质层与SiC带 隙的能带是否对齐,从而避免过多漏电流通过界面 处。栅极氧化物掺杂技术也已成功实现,以进一步 提高通道迁移率,但是会使器件稳定性受到损害,因 此器件的设计需要根据需求平衡各方面的因素。

4 SiC的IGBT器件的技术发展

绝缘栅双极晶体管(IGBT)器件结合 MOSFET的高输入阻抗和双极结型晶体管的高电流密度,通过双极结型晶体管调制进而降低 MOSFET结构的漂移区电阻 R_{DR},而通过 MOSFET结构则为双极结型晶体管提供基极驱动 电流,这使得IGBT在高压大功率的应用场景下展 现出了巨大潜力。

4.1 槽栅型IGBT

SiC IGBT 器件由于双极载流子存储效应,限制 了其在高频开关情况下的应用,但在高压及超高压 行业中则极具优势。早在 1999年 Cree 公司的 Ranbir Singh^[55]制备得到了首个p沟道的槽栅型4H-SiC IGBT(见图 8),其漂移区厚度为 10 µm、p 掺杂 浓度为5×10¹⁵ cm⁻³,由于NPN晶体管带来的高增 益,此器件的击穿电压仅为-85V,但由于其优异 的高温特性(工作温度可高达350℃),仍然在当时 引起了足够的关注。Cree公司的 Q. Zhang ^[56] 率先制备了击穿电压为10 kV的槽栅型p沟道的 SiC IGBT(见图9),在轻掺杂的p漂移层厚度大于 100 μm、掺杂浓度仅为1×10¹⁴ cm⁻³,同时在漂移层 上引入几微米厚的p型区,用以消除沟道底部的n型 保护区所产生的 JFET 效应,从而降低导通电阻、增 强电流,此外结终端扩展区(JTE)的引入起到了边 缘保护的作用,虽然该器件在导通特性上表现并不 如意,但在室温条件下导通电阻高达175 mΩ·cm², 这仍然是首个10 kV 电压等级的 SiC IGBT 器件。 由于槽栅结构加工难度、槽栅处栅氧介质层生长质 量及槽栅侧墙导致的阈值电压难以控制等问题,平 面栅结构的 IGBT 器件得到了广泛的应用。



- 图 8 首个 p 沟道的槽栅型 4H-SiC IGBT 结 构示意图
- Figure 8 Schematic diagram of the structure of the first p-channel trench gate type 4H-SiC IGBT



4.2 平面型IGBT

M. Avram 等^[57]通过离子注入的方式实现了平面型SiC IGBT的制备(见图10),其导电沟道是n型的,击穿电压也达到了2kV,这也是实验中首次击穿电压达到2kV的平面型n沟道IGBT。M. Avram 等^[58]通过引入自对准工艺成功制备了击穿电压为

4 kV 的平面型 n 沟道 IGBT(见图 11),其 buffer 层的 厚度及浓度分别为 20 μm 和 3×10¹⁸ cm⁻³、外延层的 厚度及浓度分别为 300 μm 和 5×10¹⁵ cm⁻³。Cree 公 司的 Q. Zhang 等^[59-62]发布了一系列平面型 p-IGBT 器件(见表 2),其在所得的首个平面型 p-IGBT 器件 后,先后通过引入电流增强层(CEL)、优化 JFET 区、优化元胞设计等方式,在保证器件击穿电压的同 时,有效降低了器件的导通电阻,为后续平面型 IGBT 器件的设计开发开阔了思路。图 12 为 p-IGBT 器件结构示意图。





Figure 10 Schematic diagram of planar n-channel IGBT structure for 2 kV



- 图 11 4 kV 的平面 n 沟道 IGBT 结构示 意图^[58]
- Figure 11 Schematic diagram of planar n-channel IGBT structure for 4 kV

表 2 Q.Zhang 等学者 2006—2009 年期间制备的 p-IGBT 性能及优化方案^[59-62]

Table 2 Performance and optimization plan of p-IGBT prepared by scholars such as Q. Zhang from 2006 to 2009

| 发布年份 | 击穿电 压/ kV | 导通电阻 (不同栅压)/ (mΩ•cm ²) | 改进点 |
|-----------|--------------|--|--------------|
| 2006年[59] | 6 | 570 | 首个平面p-IGBT |
| 2007年[60] | 9 | 88 | 优化JFET区 |
| 2007年[61] | 7.5 | 26 | 引入电流增强层(CEL) |
| 2009年[62] | 12 | 18.6 | 优化器件元胞设计 |

J. A. Cooper等^[63]制备得到了击穿电压为20 kV 的 p 沟道 IGBT,其漂移层厚度为175 μm、p 掺杂浓 度为2×10¹⁴ cm⁻³。Cree 公司的S. H. Ryu等^[64]制备 得到了击穿电压为15 kV的p沟道 IGBT(见图 13),p型漂移层的厚度为140 μm、p 掺杂浓度为 2×10¹⁴ cm⁻³,通过对 buffer层的厚度与掺杂浓度的 设计优化器件性能。在这一阶段,工业界和学界更 偏向于研究p沟道的 IGBT,这是由于用于生长外延 的 n型 SiC 衬底的低电阻率和低缺陷密度,随着技 术的进步,p沟道的 IGBT 性能不断提高,但由于p 型 SiC 衬底加工工艺不成熟等问题,p型衬底的电阻 率高、缺陷密度大,制备得到的n沟道 IGBT 器件性 能较差。

Wang^[65]等提出了新的倒置生长工艺,所有的外 延层都在衬底(约400 μm)上生长,随后在通过抛光 去除,由于各层的外延是连续的生长,可以最大限度 的减少在中断生长界面下容易形成的位错和形核堆 叠缺陷,获得了厚度为180 um的外延层,厚的p+衬 底被薄的p+外延层所替代,集电极的电阻下降了 接近两个数量级,这是在独立的SiC外延层上制备 SiC器件的第一份详细报告。由此,SiC IGBT的研 究开始转向至n沟道SiCIGBT器件,而n沟道SiC IGBT 器件也表现出越来越优秀的静态和动态特 性。T. Mizushima 等^[66]同样采用倒置生长工艺制 备得到了击穿电压为16 kV的n沟道4H-SiC IGBT (见图14),在4H-SiC(000-1)碳面(底部)通过离子 注入进行p掺杂而顶部的p区则通过外延生长形成, 得到更高的通道迁移率100 cm²·V⁻¹·s⁻¹,解决了电 阻大、沟道质量差的问题,当加载的栅偏压为30V 时其比导通电阻仅为 14 m Ω ·cm²。E. Van Brunt 等^[67]制备得到了击穿电压为27 kV的n沟道IGBT, 使用的n型漂移区厚度分别为230 µm、掺杂浓度为



(a)-2006;(b)-2007;(c)-2008;(d)-2009°

图 12 Q. Zhang 等学者 2006-2009 年期间制备的 p-IGBT 结构示意图^[59-62]

Figure 12 Schematic diagram of p-IGBT structure prepared by scholars such as Q. Zhang from 2006 to 2009





图 14 16 kV 的 n 沟道 IGBT 结构示意图 Figure 14 Structural schematic diagram of 16 kV n-channel IGBT

2.5×10¹⁴ cm⁻³(见图 15),通过 15 h的热氧化寿命增强处理,使得双极型载流子寿命从原有的 1.6 μs提

高到10 µs以上,使得该器件在保持超高耐压的同时 获得了良好的导通特性。



图 15 27 kV 的 n 沟道 IGBT 结构示意图



4.3 SiC IGBT 的挑战

SiC IGBT与SiC MOSFET器件面临着相同的 问题,即SiC晶圆的质量差、加工制造工艺不成熟、 SiC/SiO₂界面质量问题等,而SiC IGBT 面临的主 要挑战是n沟道 IGBT 器件的制备、载流子寿命较 短、大尺寸大厚度SiC晶圆的制造、高压/超高压、高 温封装难度大等一系列问题。目前,n沟道SiC IGBT 器件的研制开发是研究重点,倒置生长工艺 也能够有效提高外延层质量,通过减小缺陷极大的 减低导通电阻,但在集电极一端的p型外延层仍需 要有一定的厚度和掺杂浓度才能满足器件制备需 要。同时,此方法需要将n型衬底(约400 µm)完全 去除,由于SiC本身的性质,去除工艺较难且会导致 载流子寿命下降和晶圆翘曲度增加。虽然SiC表面 的SiO₂能够像SiIGBT一样在高温下的氧化环境中 形成,但在氧化过程中除了近界面陷阱之外,还会产 生额外的碳(C)团簇,使SiC/SiO₂界面的陷阱密度 是Si/SiO2界面陷阱密度的一个或两个数量级,如此 高的界面陷阱密度(1×10¹³ cm⁻²)会导致 SiC MOS 结构的沟道迁移率大幅降低。

5 结语

由于SiC具有的更大禁带宽度、更高的电子饱和迁移率和更高的击穿场强等特性,SiC功率器件也广泛应用在高温、高压等环境中,并在学术界和工业界开展了深入的研究。本文对SiC材料性质与掺杂调控、SiC薄膜制备与功率器件制备工艺、SiC功率器件(尤其是MOSFET和IGBT)的设计与优化, 尤其是通过结构与掺杂浓度的设计,希望能将SiC功率器件应用于高压输电、智能电网和脉冲功率等行业中。同时,对于如何从SiC外延制备角度进行优化也进行了广泛的讨论,载流子寿命的下降主要 和 SiC 碳空位相关的 Z1/2和 EH6/7相关^[68],这方面 可以通过 C+离子注入、热氧化或者外延生长质量 提高等方法将缺陷减小^[69]。相信随着外延生长质 量不断提高、器件设计水平不断进步,SiC 功率器件 也将展示出更为巨大的潜力。

参考文献:

- [1] 王逸民,宋华平,胡正发,等.4H-SiC外延层中BPD向 TED转化的深度及分布特征[J].材料研究与应用, 2023,17(2):342-345.
- [2] TSUNENOBU K. Material science and device physics in SiC technology for high-voltage power devices [J]. Japanese Journal of Applied Physics, 2015, 54 (4): 40103.
- [3] 徐晓杰.1.2 kV碳化硅 MOSFET 器件新结构研究[D]. 成都:电子科技大学,2021.
- [4] 李赟.用于IGBT的4H-SiC材料生长及器件制备研究 [D].南京:南京大学,2021.
- [5] 李俊楠.SiC功率器件特性研究与模拟分析[D].北京: 北京化工大学,2012.
- [6] 郑嘉棋.高导电碳化硅基复相陶瓷的制备及其性能研 究[D].上海:中国科学院大学(中国科学院上海硅酸盐 研究所),2021.
- [7] 孟大磊,李璐杰,张政.PVT法碳化硅晶体生长热应 力分析[J].材料研究与应用,2020,14(3):6.
- [8] SCHILLINGER K, JANZ S, REBER S. Atmospheric pressure chemical vapour deposition of 3C-SiC for silicon thin-film solar cells on various substrates [J]. Journal of Nanoscience and Nanotechnology, 2011, 11 (9): 8108-8113.
- [9] FUNATO Y, SATO N, FUKUSHIMA Y, et al. Fundamental evaluation of gas-phase elementary reaction models for silicon carbide chemical vapor deposition [J]. Ecs Journal of Solid State Science & Technology, 2017, 6(7):P399-P404.

- [10] ZORMAN C A, FLEISCHMAN A J, DEWA A S, et al. Epitaxial growth of 3C-SiC films on 4 in. diam (100) silicon wafers by atmospheric pressure chemical vapor deposition [J]. Journal of Applied Physics, 1995, 78(8): 5136-5138.
- [11] OTANI M, TAKAHASHI T, HABUKA H, et al. Quartz crystal microbalances for evaluating gas motion differences between dichlorosilane and trichlorosilane in ambient hydrogen in a slim vertical cold wall chemical vapor deposition reactor [J]. Advances in Chemical Engineering and Science, 2020, 10(3): 190-200.
- [12] ALARCÓN-SALAZA J, LÓPEZ-ESTOPIER R, QUIROGA-GONZÁLEZ E, et al. Silicon-Rich oxide obtained by Low-pressure chemical vapor deposition to develop silicon Light sources [M/OL]. https:// www.intechopen.com/chapters/50628. DOI: 10.5772/ 63012.
- [13] MANASEVIT H M, SIMPSON W I. The use of metal-organics in the preparation of semiconductor materials: I. Epitaxial gallium-V compounds [J]. Journal of the Electrochemical Society, 1969, 116 (12): 1725.
- [14] THOMPSON A G. MOCVD technology for semiconductors [J]. Materials Letters, 1997, 30(4): 255-263.
- [15] BEISENOV R E, EBRAHIM R, MANSUROV Z A, et al. Growth of 3C-SiC films on Si (111) and sapphire (0001) substrates by MOCVD [J]. Eurasian Chemico-Technological Journal, 2013, 15(1): 25-29.
- [16] OHTANI N. Dislocation formation during physical vapor transport growth of 4H-SiC crystals [J]. Wide Bandgap Semiconductors for Power Electronics: Materials, Devices, Applications, 2021(1): 1-32.
- [17] BATHEN M E, LEW C T K, WOERLE J, et al. Characterization methods for defects and devices in silicon carbide [J]. Journal of Applied Physics, 2022, 131(14): 140903.
- [18] LA VIA F, PILUSO N, FIORENZA P, et al. Epitaxial growth on 150 mm² off wafers [C]. Grenoble France: Trans Tech Publications Ltd., 2015, 821: 157-160.
- [19] HÖCHBAUER T, LEITNER M, KERN R, et al. SiC epitaxial growth in a 7 mm ×100 mm/3 mm×150 mm horizontal hot-wall batch reactor [C]. Grenoble France: Trans Tech Publications Ltd., 2015:165-168.
- [20] 闫果果, 张峰, 钮应喜, 等. 氯基条件下 4H-SiC 衬底 的同质外延生长研究[J]. 半导体光电, 2016(3):5.
- [21] 刘兴昉, 闫果果, 桑玲, 等. P 型阶梯掺杂 4H-SiC 多 层薄膜同质外延生长研究[J]. 智能电网, 2017, 5 (8): 752-756.

- [22] NA J, CHEON J, KIM K. 4H-SiC double trench MOSFET with split heterojunction gate for improving switching characteristics [J]. Materials, 2021, 14 (13): 3554.
- [23] ZHANG M, WEI J, JIANG H, et al. A new SiC trench MOSFET structure with protruded p-base for low oxide field and enhanced switching performance
 [J]. IEEE Transactions on Device and Materials Reliability, 2017, 17(2): 432-437.
- [24] LANGPOKLAKPAM C, LIU A C, CHU K H, et al. Review of Silicon carbide processing for power MOSFET[J]. Crystals, 2022, 12(2): 245.
- [25] JI S, KOJIMA K, ISHIDA Y, et al. Low resistivity, thick heavily Al-doped 4H-SiC epilayers grown by hotwall chemical vapor deposition [C]. Saint-Petersburg Russia: Trans Tech Publications Ltd., 2013, 740: 181-184.
- [26] 杨样龙,徐现刚,胡小波,等.不同N掺杂浓度SiC单 晶生长[C].苏州:中国电子学会,2015.
- [27] LAUBE M, SCHMID F, PENSL G, et al. Electrical activation of high concentrations of N+ and P+ ions implanted into 4H-SiC[J]. Journal of Applied Physics, 2002, 92(1): 549-554.
- [28] 郑柳,潘艳,夏经华,等.4H-SiC中Al离子注入及其二次高温退火技术[J].微纳电子技术,2017,54(4):5.
- [29] ROCCAFORTEF, FIORENZAP, VIVONAM, et al. Selective doping in silicon carbide power devices [J]. Materials, 2021, 14(14): 3923.
- [30] HUANG J J, MILITZER C, WIJAYAWARDHANA C, et al. Controlled CVD growth of highly<111> -oriented 3C-SiC [J]. The Journal of Physical Chemistry C, 2022, 126 (23) : 9918-9925.
- [31] LIU S, LUO X, HUANG B, et al. Role of H₂ and Ar as the diluent gas in continuous hot-wire CVD synthesis of SiC fiber [J]. Journal of the European Ceramic Society, 2022, 42(7): 3135-3147.
- [32] MATSUNAMI H. Fundamental research on semiconductor SiC and its applications to power electronics[J]. Proceedings of the Japan Academy[J]. Series B, 2020, 96(7): 235-254.
- [33] GUAN K, ZENG Q, LIU Y, et al. A multiscale model for CVD growth of silicon carbide [J]. Computational Materials Science, 2021, 196: 110512.
- [34] SHENOY J N, COOPER J A, MELLOCH M R. High-voltage double-implanted power MOSFET's in 6H-SiC[J]. IEEE Electron Device Letters, 1997, 18 (3): 93-95.
- [35] HARADA S, OKAMOTO M, YATSUO T, et al. 8.5 m/spl omega//spl middot/cm/sub 2/600-V

double-epitaxial MOSFETs in 4H-SiC [J]. IEEE Electron Device Letters, 2004, 25(5): 292-294.

- [36] HARADA S, KATO M, OKAMOTO M, et al. 4.3 mΩ·cm², 1100 V 4H-SiC implantation and epitaxial MOSFET [C]. Pennsylvania USA: Trans Tech Publications Ltd., 2006, 527: 1281-1284.
- [37] CHUNG G Y, TIN C C, WILLIAMS J R, et al. Improved inversion channel mobility for 4H-SiC MOSFETs following high temperature anneals in nitric oxide [J]. IEEE Electron Device Letters, 2001, 22 (4): 176-178.
- [38] MOSCATELLI F, POGGI A, SOLMI S, et al. Nitrogen implantation to improve electron channel mobility in 4H-SiC MOSFET[J]. IEEE Transactions on Electron Devices, 2008, 55(4): 961-967.
- [39] AGARWAL A, BALIGA B J. Performance enhancement of 2.3 kV 4H-SiC planar-gate MOSFETs using reduced gate oxide thickness [J].
 IEEE Transactions on Electron Devices, 2021, 68 (10): 5029-5033.
- [40] 刘佳月.1700 V SiC MOSFET 器件设计及可靠性研 究[D].成都:电子科技大学,2022.
- [41] SHENAI K, SCOTT R S, BALIGA B J. Optimum semiconductors for high-power electronics [J]. IEEE Transactions on Electron Devices, 1989, 36(9): 1811-1823.
- [42] PALMOUR J W, EDMOND J A, KONG H S, et al.
 6H-silicon carbide devices and applications [J]. Physica B: Condensed Matter, 1993, 185(1-4): 461-465.
- [43] LI Y, COOPER J A J, CAPANO M A. High-voltage
 (3 kV) UMOSFETs in 4H-SiC [J]. IEEE Transactions on Electron Devices, 2002, 49 (6): 972-975.
- [44] SUI Y, TSUJI T, COOPER J A. On-state characteristics of SiC power UMOSFETs on 115 μm drift layers [J]. IEEE Electron Device Letters, 2005, 26(4): 255-257.
- [45] KAGAWA Y, FUJIWARA N, SUGAWARA K, et al. 4H-SiC trench MOSFET with bottom oxide protection [C]. Miyazaki Japan: Trans Tech Publications Ltd., 2014, 778: 919-922.
- [46] NAKAMURA T, NAKANO Y, AKETA M, et al. High performance SiC trench devices with ultra-low ron [C]. Washington, DC, USA: IEEE, 2011.
- [47] UCHIDA K, HIYOSHI T, SAITO Y, et al. 1200 V/ 200 A V-groove trench MOSFET optimized for low power loss and high reliability[C]. Kyoto Japan: Trans Tech Publications Ltd., 2020, 1004: 776-782.
- [48] SCHOMER R, FRIEDRICHS P, PETERS D, et al. Significantly improved performance of MOSFETs on

silicon carbide using the 15R-SiC polytype [J]. IEEE Electron Device Letters, 1999, 20(5): 241-244.

- [49] SAKS N S, MANI S S, AGARWAL A K. Interface trap profile near the band edges at the 4H-SiC/SiO₂ interface[J]. Applied Physics Letters, 2000, 76(16): 2250-2252.
- [50] MOGHADAM H A, DIMITRIJEV S, HAN J, et al. Transient-current method for measurement of active near-interface oxide traps in 4H-SiC MOS capacitors and MOSFETs [J]. IEEE Transactions on Electron Devices, 2015, 62(8): 2670-2674.
- [51] OKAMOTO D, YANO H, HIRATA K, et al. Improved inversion channel mobility in 4H-SiC MOSFETs on Si face utilizing phosphorus-doped gate oxide [J]. IEEE Electron Device Letters, 2010, 31 (7): 710-712.
- [52] FIORENZA P, GIANNAZZO F, VIVONA M, et al. SiO₂/4H-SiC interface doping during postdeposition-annealing of the oxide in N₂O or POCl₃[J]. Applied Physics Letters, 2013, 103(15): 153508.
- [53] OKAMOTO D, SOMETANI M, HARADA S, et al. Improved channel mobility in 4H-SiC MOSFETs by boron passivation [J]. IEEE Electron Device Letters, 2014, 35(12): 1176-1178.
- [54] HATAYAMA T, HINO S, MIURA N, et al. Remarkable increase in the channel mobility of SiC-MOSFETs by controlling the interfacial SiO₂ layer between Al₂O₃ and SiC [J]. IEEE Transactions on Electron Devices, 2008, 55(8): 2041-2045.
- [55] SINGH R, RYU S H, PALMOUR J W. High temperature, high current, p-channel UMOS 4H-SiC IGBT [C]. Santa Barbara, CA, USA: IEEE, 1999: 46-47.
- [56] ZHANG Q, CHANG H R, GOMEZ M, et al. 10 kV Trench Gate IGBTs on 4H-SiC [C]. Santa Barbara, CA: USA,2005.
- [57] AVRAM M, BREZEANU G, POENAR D P, et al. Contributions to development of IGBT on SiC technologies [C]. Tunis, Tunisia: IEEE, 2004: 368-371.
- [58] AVRAM M, BREZEANU G, AVRAM A, et al. Contributions to development of high power SiC-IGBT[C]. Sinaia, Romania: IEEE, 2005: 365-368.
- [59] ZHANG Q, JONAS C, RYU S H, et al. Design and fabrications of high voltage IGBTs on 4H-SiC [C]. Naples: IEEE, 2006: 1-4.
- [60] ZHANG Q C J, JONAS C, HEATH B, et al. 9 kV 4H-SiC IGBTs with 88 mΩ • cm² of R diff, on [C]. Newcastle Upon Tyne, UK: Trans Tech Publications Ltd., 2007: 771-774.

- [61] ZHANG Q, JONAS C, CALLANAN R, et al. New improvement results on 7.5 kV 4H-SiC p-IGBTs with R diff, on of 26 mΩ · cm² at 25 °C[C]. Jeju, Korea (South): IEEE, 2007: 281-284.
- [62] ZHANG Q J, JONAS C, SUMAKERIS J J, et al. 12 kV 4H-SiC p-IGBTs with record low specific onresistance [C]. Otsu Japan: Trans Tech Publications Ltd., 2009: 1187-1190.
- [63] SUI Y, WANG X, COOPER J A. High-voltage selfaligned p-channel DMOS-IGBTs in 4H-SiC[J]. IEEE electron device letters, 2007, 28(8): 728-730.
- [64] RYU S H, CAPELL C, CHENG L, et al. High performance, ultra high voltage 4H-SiC IGBTs [C]. Raleigh, NC, USA: IEEE, 2012: 3603-3608.
- [65] WANG X, COOPER J A. High-voltage n-channel IGBTs on free-standing 4H-SiC epilayers [J]. IEEE Transactions on Electron Devices, 2010, 57 (2) :

511-515.

- [66] MIZUSHIMA T, TAKENAKA K, FUJISAWA H, et al. Dynamic characteristics of large current capacity module using 16 kV ultrahigh voltage SiC flip-type nchannel IE-IGBT [C]. Waikoloa, HI, USA: IEEE, 2014: 277-280.
- [67] VAN BRUNT E, CHENG L, O'LOUGHLIN M J, et al. 27 kV, 20 A 4H-SiC n-IGBTs [C]. Grenoble France: Trans Tech Publications Ltd., 2015: 847-850.
- [68] ZIPPELIUS B, GLAS A, WEBER H B, et al. Z1/2and EH6-center in 4H-SiC: Not identical defects [C]. Cleveland, Ohio, USA: Trans Tech Publications Ltd., 2012: 251-254.
- [69] MIYAZAWA T, TSUCHIDA H. Point defect reduction and carrier lifetime improvement of Si-and Cface 4H-SiC epilayers [J]. Journal of applied physics, 2013, 113(8): 83714.

A Review of Silicon Carbide Power Device Technology Development

WU Weijie, ZHANG Yuyang, WANG Zhaoyang, HUANG Zhanwei, ZHANG Bangmin* (Sun Yat-Sen University, Guangzhou 510651, China)

Abstract: The third-generation semiconductor SiC has attracted widespread attention due to its excellent properties such as wide bandgap and high thermal conductivity. SiC power devices have also become a research hotspot in academia and industry. Starting from the properties of SiC materials, this article summarizes and analyzes the preparation processes of SiC thin films and SiC power devices, reviews the development of SiC MOSFETs and IGBT devices, discusses the structural design optimization and performance evaluation of SiC MOSFETs and IGBT devices, and finally summarizes and looks forward to SiC device challenges and development trends.

Keywords: SiC thin film; power devices; preparation process; MOSFET; IGBT

(学术编辑:宋琛)